

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021617

(43)Date of publication of application : 29.01.1993

(51)Int.CI.

H01L 21/90

H01L 21/306

(21)Application number : 03-172031

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.07.1991

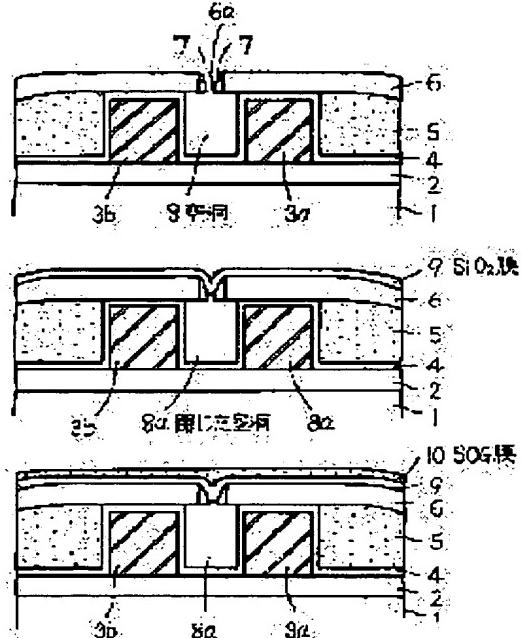
(72)Inventor : ICHIKAWA MASAAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a method of formation of a cavity to be used to reduce the capacitance between wirings.

CONSTITUTION: After a metal film has been formed by deposition on the surface of the insulating film 2 which is uniformly formed on the surface of a semiconductor substrate 1, a first metal film 3a and a second metal film 3b are formed by patterning on the position separated from each other on the surface of the insulating film 2. A second insulating film 5, which makes the surface almost flat, is formed by deposition covering the surface of the first insulating film 4. The first insulating film 4 is exposed, the whole surface of the second insulating film 5 is etched back so as to obtain an almost flattened surface, and the third insulating film 6, extending to the whole surface and having an aperture 6a with which the surface of the second insulating film 5 located between the first metal film 3a and the second metal film 3b will be selectively exposed, is formed by deposition. After a cavity 8, with which the lower surface of the third insulating film 6 is exposed, has been formed by selectively etching the second insulating film 5 from the aperture 6a, the aperture 6a is closed by coating the fourth insulating film 9 on the whole surface, and a closed cavity 8a is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-21617

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁶

H 01 L 21/90
21/306

識別記号 庁内整理番号

N 7353-4M
D 7342-4M

F I

技術表示箇所

(21)出願番号

特願平3-172031

(22)出願日

平成3年(1991)7月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 市川 雅章

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

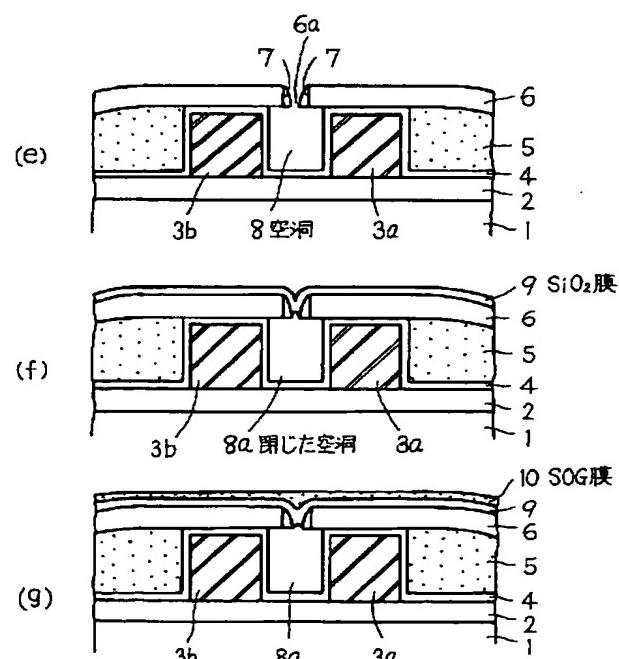
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 半導体装置の製造方法に関し、配線間の容量を減らすため、そこに空洞を形成する方法の提供を目的とする。

【構成】 半導体基板1表面に一様に形成される絶縁膜2表面に金属膜を被着形成した後パターニングして絶縁膜2表面の互いに離れた位置に第1の金属膜3a及び第2の金属膜3bを形成し、全面を覆う第1の絶縁膜4及び第1の絶縁膜4表面を覆いかつ表面が略平坦になる第2の絶縁膜5を被着形成し、第1の絶縁膜4を露出しかつ表面が略平坦になるように第2の絶縁膜5の全面をエッチバックし、第1の金属膜3a及び第2の金属膜3b間の第2の絶縁膜5表面を選択的に露出させる開孔6aを有し、全面に延在する第3の絶縁膜6を被着形成し、開孔6aから第2の絶縁膜5を選択的にエッチングして第3の絶縁膜6下面が露出する空洞8を形成した後全面に第4の絶縁膜9を被着して開孔6aを閉じ、閉じた空洞8aを形成するように構成する。

実施例を示す工程順断面図(その2)



【特許請求の範囲】

【請求項1】 半導体基板(1) 表面に一様に形成される絶縁膜(2)表面に金属膜を被着形成する工程と、次いで、該金属膜をパターニングすることにより、該絶縁膜(2) 表面の互いに離れた位置に、第1の金属膜(3a)及び第2の金属膜(3b)を形成する工程と、次いで、該第1の金属膜(3a)表面と該第2の金属膜(3b)表面と該絶縁膜(2) の露出した表面とをともに覆うように、第1の絶縁膜(4) を形成する工程と、次いで、該第1の絶縁膜(4) 表面を覆うように、かつ表面が略平坦になるように、第2の絶縁膜(5) を全面に被着形成する工程と、次いで、該第1の絶縁膜(4) を露出し、かつ表面が略平坦になるように、該第2の絶縁膜(5) の全面をエッチバックする工程と、次いで、該第1の金属膜(3a)及び該第2の金属膜(3b)間の該第2の絶縁膜(5)表面を選択的に露出させる開孔(6a)を有し、かつ該第1の絶縁膜(4) 表面から該第2の絶縁膜(5) 表面に延在する第3の絶縁膜(6) を被着形成する工程と、該開孔(6a)から該第2の絶縁膜(5) を選択的にエッティングして除去し、該第3の絶縁膜(6) 下面が露出する空洞(8) を形成した後、全面に第4の絶縁膜(9) を被着して該開孔(6a)を閉じ、閉じた空洞(8a)を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の工程に加えて、開孔(6a)を形成した後、該開孔(6a)の側面に絶縁膜側壁(7) を形成して該開孔(6a)の幅を狭める工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特に、配線間の絶縁方法に関する。近年の集積回路においては、配線間の容量による信号遅延が装置全体として大きな比重を占めてきており、配線間の容量は可能な限り小さくする必要がある。

【0002】

【従来の技術】 図4は従来例を示す断面図で、1はSi基板、2はSiO₂膜、3a、3bはA1配線、4はSiO₂膜、5bはSOG膜、5cはPSG膜である。A1配線3a、3b間の絶縁材料は主としてSiO₂が用いられる。

【0003】 半導体装置の高密度化に伴い、配線間隔はますます小さくなり、配線間の容量が大きな問題となってきた。SiO₂の誘電率は真空の誘電率の約4倍であり、絶縁材料の低誘電率化が望まれる。

【0004】

【発明が解決しようとする課題】 本発明は、上記の問題に鑑み、配線間に密封された空洞を形成することにより配線間の容量を減少する方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 図1(a)～(d)は実施例を示す工程順断面図(その1)、図2(e)～(g)は実施例を示す工程順断面図(その2)、図3は他の実施例を示す断面図である。

【0006】 上記課題は、半導体基板1表面に一様に形成される絶縁膜2表面に金属膜を被着形成する工程と、次いで、該金属膜をパターニングすることにより、該絶縁膜2表面の互いに離れた位置に、第1の金属膜3a及び第2の金属膜3bを形成する工程と、次いで、該第1の金属膜3a表面と該第2の金属膜3b表面と該絶縁膜2の露出した表面とをともに覆うように、第1の絶縁膜4を形成する工程と、次いで、該第1の絶縁膜4表面を覆うように、かつ表面が略平坦になるように、第2の絶縁膜5を全面に被着形成する工程と、次いで、該第1の絶縁膜4を露出し、かつ表面が略平坦になるように、該第2の絶縁膜5の全面をエッチバックする工程と、次いで、該第1の金属膜3a及び該第2の金属膜3b間の該第2の絶縁膜5表面を選択的に露出させる開孔6aを有し、かつ該第1の絶縁膜4表面から該第2の絶縁膜5表面に延在する第3の絶縁膜6を被着形成する工程と、該開孔6aから該第2の絶縁膜5を選択的にエッティングして除去し、該第3の絶縁膜6下面が露出する空洞8を形成した後、全面に第4の絶縁膜9を被着して該開孔6aを閉じ、閉じた空洞8aを形成する工程を有する半導体装置の製造方法によって解決される。

【0007】 また、上記の工程に加えて、開孔6aを形成した後、該開孔6aの側面に絶縁膜側壁7を形成して該開孔6aの幅を狭める工程を有する半導体装置の製造方法によって解決される。

【0008】

【作用】 本発明では、開孔6aから第2の絶縁膜5を選択的にエッティングして第3の絶縁膜6下面が露出する空洞8を形成し、全面に第4の絶縁膜9を被着して開孔6aを閉じ、第1の金属膜3a、第2の金属膜3b間に閉じた空洞8aを形成するようとしている。第1の金属膜3a及び第2の金属膜3bを配線とする時、配線間が絶縁材料で埋められた従来の配線に比べて配線間の容量を小さくすることができる。

【0009】 また、開孔6aを形成した後、開孔6aの側面に絶縁膜側壁7を形成して開孔6aの幅を狭めるようすれば、空洞の密封がより容易になる。

【0010】

【実施例】 図1(a)～(d)は実施例を示す工程順断面図(その1)、図2(e)～(g)は実施例を示す工程順断面図(その2)である。以下、これらの図を参照しながら、実施例について説明する。

【0011】 図1(a) 参照

素子の形成されたSi基板1にCVD法により厚さが例えば4000ÅのSiO₂膜2を形成し、その上に厚さが例

えば $1\text{ }\mu\text{m}$ のA1膜をスパッタし、そのA1膜をパターニングして幅 $1\text{ }\mu\text{m}$ 、配線間隔 $1\text{ }\mu\text{m}$ のA1配線3a, 3bを形成する。

【0012】A1配線3a, 3bを覆って全面にCVD法により厚さが $500\sim2000\text{ \AA}$ のSiO₂膜4を形成する。SiO₂膜4はA1配線の突起対策、エレクトロマイグレーション対策上必要となる。

【0013】その上に、SOG膜5を塗布する。厚さは 5000 \AA 程度で、塗布後 $400\text{ }^\circ\text{C}$ でキュアする。

図1(b) 参照

SOG膜5をエッチバックする。エッチング条件をコントロールしながらエッチングし、SiO₂膜4上のSOG膜5が完全に除去された時点でエッチングを止める。

【0014】図1(c) 参照

CVD法により全面に厚さが例えれば 5000 \AA のSiO₂膜6を形成した後、A1配線3a, 3b間に開孔を有するレジストマスクを形成し(図示せず)、そのレジストマスクをマスクにしてSiO₂膜6をエッチングし、SOG膜5を露出する開孔6aを形成する。開孔6aの幅は例えば 40 \AA である。

【0015】図1(d) 参照

CVD法により全面に厚さが約 1000 \AA のSiO₂膜を被着した後、反応性イオンエッチング(RIE)によりそのSiO₂膜をエッチングし、開孔6aの側面にSiO₂側壁7を形成する。開孔6aの幅は狭められ、底の幅は約 2000 \AA となる。

【0016】図2(e) 参照

開孔6aからフッ酸系のエッチャントにより、SOG膜5を選択的にウェットエッチする。SiO₂膜4, 6に対してSOG膜5のエッチレートが大きいので、このことを利用してウェットエッチし、SiO₂膜4の表面及びSiO₂膜6下面を露出する空洞8を形成する。

【0017】図2(f) 参照

スパッタ法またはCVD法により全面にSiO₂膜9を成長し、開孔6aの両側から底状に突き出るSiO₂膜9を接触させ、開孔6aを塞ぐ。SiO₂膜9の厚さは約 $15\text{ }\mu\text{m}$ である。A1配線3a, 3b間に閉じた空洞8aが形成される。空洞8a内はスパッタ時またはCVD時のガスの低圧雰囲気となっていて、その誘電率は真空の誘電率に極めて近い。

【0018】図2(g) 参照

全面にSOGを塗布して表面を平坦にした後 $400\text{ }^\circ\text{C}$ でキュアし、厚さが 1000 \AA のSOG膜10を形成する。

【0019】このようにして、A1配線3a, 3b間に閉じた空洞8aを形成することができ、配線間の容量を減少することができた。閉じた空洞8aはその後の工程でもその

ままの状態で保持され、素子の信頼性を損なうことはなかった。

【0020】なお、上記の実施例では開孔6aを狭めるために開孔6aの側面にSiO₂側壁7を形成したが、最初から開孔6aの幅を 2000 \AA またはそれ以下に形成できるならばSiO₂側壁7の形成は必要ない。

【0021】図3は他の実施例を示す断面図で、符号は上述の実施例と同じものを表し、さらに、8b, 8cは閉じた空洞を表す。図3は配線3a, 3b間の間隔が大きく、そこに連続する1室の空洞を形成すると空洞が変形し易くなる場合に有効な方法で、例えは空洞を形成するためのエッチングの開孔を2箇所に作り、エッチング条件を加減して中央にSOGの支柱5aを形成し、その両側に閉じた空洞8b, 8cを形成する。

【0022】

【発明の効果】以上説明したように、本発明によれば、配線間に密封された空洞を形成することにより配線間の容量を減少させることができる。その結果、信号の遅延を大幅に減少させることができる。

【0023】本発明は、半導体素子の微細化、集積回路の高密度化、高速化に寄与するものである。

【図面の簡単な説明】

【図1】(a)～(d)は実施例を示す工程順断面図(その1)である。

【図2】(e)～(g)は実施例を示す工程順断面図(その2)である。

【図3】他の実施例を示す断面図である。

【図4】従来例を示す断面図である。

【符号の説明】

1は半導体基板であつてSi基板

2は絶縁膜であつてSiO₂膜

3aは第1の金属膜であり配線であつてA1配線

3bは第2の金属膜であり配線であつてA1配線

4は絶縁膜であり第1の絶縁膜であつてSiO₂膜

5は絶縁膜であり第2の絶縁膜であつてSOG膜

5aはSOG支柱

5bはSOG膜

5cはPSG膜

6は絶縁膜であり第3の絶縁膜であつてSiO₂膜

6aは開孔

7は絶縁膜側壁であつてSiO₂側壁

8は空洞

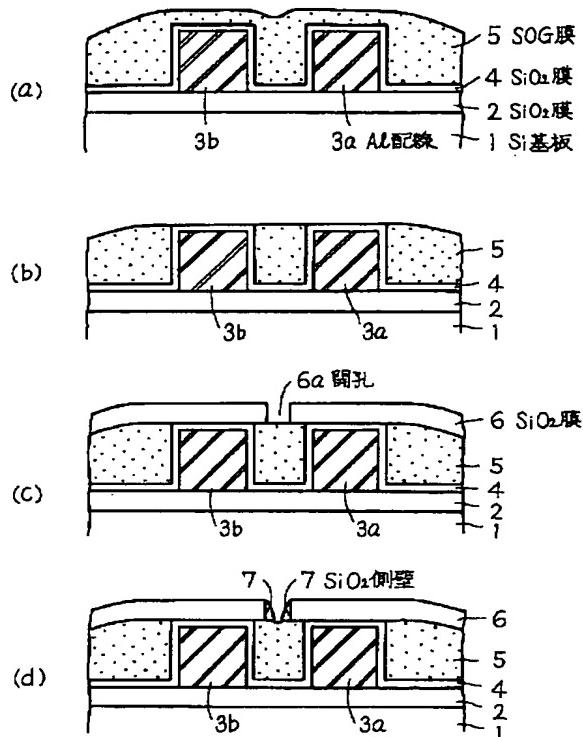
8a, 8b, 8cは閉じた空洞

9は絶縁膜であり第4の絶縁膜であつてSiO₂膜

10は絶縁膜であり第5の絶縁膜であつてSOG膜

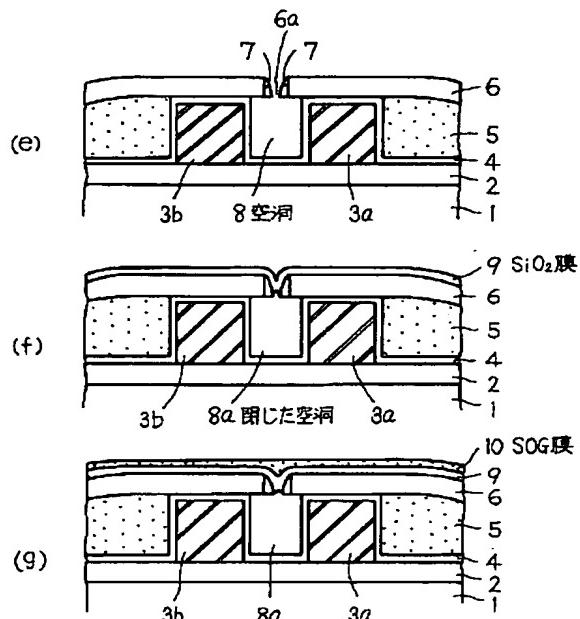
【図1】

実施例を示す工程横断面図(その1)



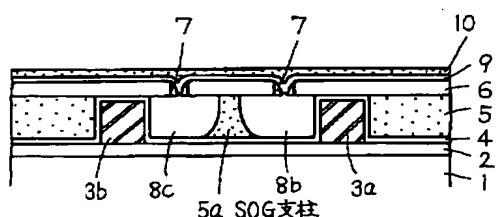
【図2】

実施例を示す工程横断面図(その2)



【図3】

他の実施例を示す断面図



【図4】

従来例を示す断面図

